

P/ INT COOPERATION TREA

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Commissioner
US Department of Commerce
United States Patent and Trademark
Office, PCT
2011 South Clark Place Room
CP2/5C24
Arlington, VA 22202
ETATS-UNIS D'AMERIQUE
in its capacity as elected Office

Date of mailing (day/month/year) 06 December 2000 (06.12.00)	
International application No. PCT/JP00/02914	Applicant's or agent's file reference FP00-0073-00
International filing date (day/month/year) 02 May 2000 (02.05.00)	Priority date (day/month/year) 07 May 1999 (07.05.99)
Applicant TAMITANI, Naoki et al	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International Preliminary Examining Authority on:

20 November 2000 (20.11.00)

☐ in a notice effecting later election filed with the International Bureau on:2. The election ☒ was☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer Kiwa Mpay Telephone No.: (41-22) 338.83.38
---	---

THIS PAGE BLANK (USPTO)

VERIFICATION

The undersigned, of the below address, hereby certifies that he/she well knows both the English and Japanese languages, and that the attached is an accurate English translation of the PCT application filed on May 2, 2000 under No. PCT/JP00/02914.

The undersigned declares further that all statements made herein of his/her own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issuing thereon.

Signed this 7th day of November, 2001.

Signature:



Name: Shiro TERASAKI

Address: c/o Soei Patent and Law Firm

Okura-Honkan, 6-12, Ginza 2-chome, Chuo-ku,
Tokyo 104-0061 Japan

1. The first part of the report is a summary of the work done during the period covered by the report.

2. The second part of the report is a detailed description of the work done during the period covered by the report.

3. The third part of the report is a summary of the results of the work done during the period covered by the report.

4. The fourth part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

5. The fifth part of the report is a summary of the recommendations made by the committee.

6. The sixth part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

7. The seventh part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

8. The eighth part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

9. The ninth part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

10. The tenth part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

THIS PAGE BLANK (USPTO)

11. The eleventh part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

12. The twelfth part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

13. The thirteenth part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

14. The fourteenth part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

15. The fifteenth part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

16. The sixteenth part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

17. The seventeenth part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

18. The eighteenth part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

19. The nineteenth part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

20. The twentieth part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

21. The twenty-first part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

22. The twenty-second part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

23. The twenty-third part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

24. The twenty-fourth part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.

25. The twenty-fifth part of the report is a summary of the conclusions drawn from the work done during the period covered by the report.



P C T

国際調査報告

(法 8 条、法施行規則第40、41条)
〔P C T 1 8 条、P C T 規則43、44〕

出願人又は代理人 の書類記号 FP00-0073-00	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0) 及び下記 5 を参照すること。	
国際出願番号 P C T / J P 0 0 / 0 2 9 1 4	国際出願日 (日.月.年) 0 2 . 0 5 . 0 0	優先日 (日.月.年) 0 7 . 0 5 . 9 9
出願人 (氏名又は名称) アプライド マテリアルズ インコーポレイテッド		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (P C T 1 8 条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照) 。

3. ☐ 発明の単一性が欠如している (第 II 欄参照) 。

4. 発明の名称は ☐ 出願人が提出したものを承認する。
☒ 次に示すように国際調査機関が作成した。
半導体装置及び半導体装置の製造方法

5. 要約は ☒ 出願人が提出したものを承認する。
☐ 第 III 欄に示されているように、法施行規則第47条 (P C T 規則38.2(b)) の規定により
国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこ
の国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
第 4 図とする。 ☒ 出願人が示したとおりである。 ☐ なし
☐ 出願人は図を示さなかった。
☐ 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ H01L21/3213, H01L21/3065, H01L21/336, H01L29/78

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ H01L21/3213, H01L21/3065, H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2000年

日本国登録実用新案公報 1994-2000年

日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 7-78829, A (富士通株式会社) 20.03月. 1995 (20.03.95) 段落番号【0129】-【0135】, 図10 【0094】-【0105】, 図7 【0176】-【0182】	1-7, 10-20
Y	段落番号【0129】-【0135】, 図10 【0094】-【0105】, 図7 【0176】-【0182】 (ファミリーなし)	8, 9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

26.07.00

国際調査報告の発送日

08.08.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

北島 健次

4 L

9733

電話番号 03-3581-1101 内線 3496

THIS PAGE BLANK (USPTO)

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 11-121615, A (ソニー株式会社) 30.04月. 1999 (30.04.99) 段落番号【0027】-【0054】, 図1 (ファミリーなし) ,	4, 8, 9

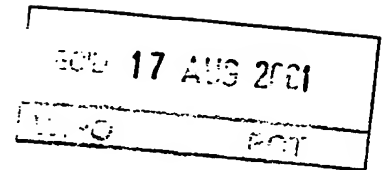
THIS PAGE BLANK (USPTO)

特 許 協 力 条 約

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]



出願人又は代理人 の書類記号 FP00-0073-00	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/IPEA/416)を参照すること。	
国際出願番号 PCT/JP00/02914	国際出願日 (日.月.年) 02.05.00	優先日 (日.月.年) 07.05.99
国際特許分類(IPC) Int. Cl ⁷ H01L21/3213, H01L21/3065, H01L21/336, H01L29/78		
出願人(氏名又は名称) アブライド マテリアルズ インコーポレイテッド		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。 <input checked="" type="checkbox"/> この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。 (PCT規則70.16及びPCT実施細則第607号参照) この附属書類は、全部で 4 ページである。
3. この国際予備審査報告は、次の内容を含む。 I <input checked="" type="checkbox"/> 国際予備審査報告の基礎 II <input type="checkbox"/> 優先権 III <input type="checkbox"/> 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成 IV <input type="checkbox"/> 発明の単一性の欠如 V <input checked="" type="checkbox"/> PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明 VI <input type="checkbox"/> ある種の引用文献 VII <input type="checkbox"/> 国際出願の不備 VIII <input type="checkbox"/> 国際出願に対する意見

国際予備審査の請求書を受理した日 20.11.00	国際予備審査報告を作成した日 06.08.01	
名称及びあて先 日本国特許庁(IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 齋藤 恭一 電話番号 03-3581-1101 内線 3462	4M 8122

様式PCT/IPEA/409(表紙)(1998年7月)

THIS PAGE BLANK (USPTO)

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1 - 16 ページ、 出願時に提出されたもの
明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

☒ 請求の範囲 第 2-4, 7, 9, 10, 12-14, 20 項、 出願時に提出されたもの
請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
請求の範囲 第 1, 6, 8, 11, 16-19 項、 19.04.01 付の書簡と共に提出されたもの

☒ 図面 第 1 - 7 ページ/図、 出願時に提出されたもの
図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)という翻訳文の言語
☐ PCT規則48.3(b)という国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3という翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☒ 請求の範囲 第 5, 15 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

THIS PAGE BLANK (USPTO)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)

請求の範囲 1-4, 6-14, 16-20 有
請求の範囲 無

進歩性(IS)

請求の範囲 有
請求の範囲 1-4, 6-14, 16-20 無

産業上の利用可能性(IA)

請求の範囲 1-4, 6-14, 16-20 有
請求の範囲 無

2. 文献及び説明(PCT規則70.7)

請求の範囲 1-3, 11-14, 18-20

文献1: JP 7-78829 A (富士通株式会社)

20. 3月. 1995 (20. 03. 95)

段落【0129】-【0135】, 図10

段落【0094】-【0105】, 図7

段落【0001】-【0020】

段落【0176】-【0182】

には、ゲート電極に接続されたアルミ合金配線層をパターニングする方法が記載され、300nmの薄いシリコン酸化膜13をハードマスクとして、アルミ合金膜6をエッチングすることで、ゲート絶縁膜のプラズマに起因する損傷を防止できることが開示されている。

文献2: JP 11-121615 A (ソニー株式会社)

30. 4月. 1999 (30. 04. 99)

段落【0026】-【0054】, 図1

には、Cu膜23上に反射防止膜としてのTiN膜24を堆積させ、更に、厚さ200nmのシリコン酸化膜25を堆積させてパターン化し、その後、該シリコン酸化膜25をマスクとして、TiN膜24及びCu膜24をエッチングすることが開示されている。

文献1には、ハードマスクの膜厚を「180nm以上230nm以下」とすることは記載されていないが、薄いマスクを用いることで、発生する電荷のアンバランスが小さくなることが記載されているから、ハードマスクの膜厚をより薄くすることは当業者が当然考慮することであり、また、文献2には200nmのハードマスクを用いたエッチング方法が開示されているから、文献1のハードマスクの膜厚を「180nm以上230nm以下」とすることは、当業者にとって自明のことである。

よって、請求の範囲1-3, 11-14, 18-20に記載された発明は、文献1及び文献2より進歩性を有しない。

THIS PAGE BLANK (USPTO)

(51) 国際特許分類7 H01L 21/3213, 21/3065, 21/336, 29/78	A1	(11) 国際公開番号 WO00/68987 (43) 国際公開日 2000年11月16日(16.11.00)		
<table border="0"><tr><td data-bbox="97 394 803 1092" style="vertical-align: top;"><p>(21) 国際出願番号 PCT/JP00/02914</p><p>(22) 国際出願日 2000年5月2日(02.05.00)</p><p>(30) 優先権データ 特願平11/127688 1999年5月7日(07.05.99) JP</p><p>(71) 出願人 (米国を除くすべての指定国について) アプライド マテリアルズ インコーポレイテッド (APPLIED MATERIALS INC.)[US/US] 95054 カリフォルニア サンタ クララ パウアーズアベニュー 3050 California, (US) ソニー株式会社(SONY CORPORATION)[JP/JP] 〒141-0001 東京都品川区北品川六丁目7番35号 Tokyo, (JP)</p><p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 民谷直幹(TAMITANI, Naoki)[JP/JP] 小暮里英(KOGURE, Rie)[JP/JP] 高岡裕二(TAKAOKA, Yuji)[JP/JP] 〒141-0001 東京都品川区北品川六丁目7番35号 ソニー株式会社内 Tokyo, (JP)</p></td><td data-bbox="803 394 1523 1092" style="vertical-align: top;"><p>朴 世烈(PARK, Seayoul)[KR/JP] 高倉 靖(TAKAKURA, Yasushi)[JP/JP] 山内英敬(YAMAUCHI, Hideyuki)[JP/JP] 〒286-8516 千葉県成田市新泉14-3 アプライド マテリアルズ ジャパン株式会社内 Chiba, (JP)</p><p>(74) 代理人 弁理士 長谷川芳樹, 外(HASEGAWA, Yoshiki et al.) 〒104-0061 東京都中央区銀座二丁目6番12号 大倉本館 創英国際特許法律事務所 Tokyo, (JP)</p><p>(81) 指定国 KR, US</p><p>添付公開書類 国際調査報告書</p></td></tr></table>			<p>(21) 国際出願番号 PCT/JP00/02914</p> <p>(22) 国際出願日 2000年5月2日(02.05.00)</p> <p>(30) 優先権データ 特願平11/127688 1999年5月7日(07.05.99) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) アプライド マテリアルズ インコーポレイテッド (APPLIED MATERIALS INC.)[US/US] 95054 カリフォルニア サンタ クララ パウアーズアベニュー 3050 California, (US) ソニー株式会社(SONY CORPORATION)[JP/JP] 〒141-0001 東京都品川区北品川六丁目7番35号 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 民谷直幹(TAMITANI, Naoki)[JP/JP] 小暮里英(KOGURE, Rie)[JP/JP] 高岡裕二(TAKAOKA, Yuji)[JP/JP] 〒141-0001 東京都品川区北品川六丁目7番35号 ソニー株式会社内 Tokyo, (JP)</p>	<p>朴 世烈(PARK, Seayoul)[KR/JP] 高倉 靖(TAKAKURA, Yasushi)[JP/JP] 山内英敬(YAMAUCHI, Hideyuki)[JP/JP] 〒286-8516 千葉県成田市新泉14-3 アプライド マテリアルズ ジャパン株式会社内 Chiba, (JP)</p> <p>(74) 代理人 弁理士 長谷川芳樹, 外(HASEGAWA, Yoshiki et al.) 〒104-0061 東京都中央区銀座二丁目6番12号 大倉本館 創英国際特許法律事務所 Tokyo, (JP)</p> <p>(81) 指定国 KR, US</p> <p>添付公開書類 国際調査報告書</p>
<p>(21) 国際出願番号 PCT/JP00/02914</p> <p>(22) 国際出願日 2000年5月2日(02.05.00)</p> <p>(30) 優先権データ 特願平11/127688 1999年5月7日(07.05.99) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) アプライド マテリアルズ インコーポレイテッド (APPLIED MATERIALS INC.)[US/US] 95054 カリフォルニア サンタ クララ パウアーズアベニュー 3050 California, (US) ソニー株式会社(SONY CORPORATION)[JP/JP] 〒141-0001 東京都品川区北品川六丁目7番35号 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 民谷直幹(TAMITANI, Naoki)[JP/JP] 小暮里英(KOGURE, Rie)[JP/JP] 高岡裕二(TAKAOKA, Yuji)[JP/JP] 〒141-0001 東京都品川区北品川六丁目7番35号 ソニー株式会社内 Tokyo, (JP)</p>	<p>朴 世烈(PARK, Seayoul)[KR/JP] 高倉 靖(TAKAKURA, Yasushi)[JP/JP] 山内英敬(YAMAUCHI, Hideyuki)[JP/JP] 〒286-8516 千葉県成田市新泉14-3 アプライド マテリアルズ ジャパン株式会社内 Chiba, (JP)</p> <p>(74) 代理人 弁理士 長谷川芳樹, 外(HASEGAWA, Yoshiki et al.) 〒104-0061 東京都中央区銀座二丁目6番12号 大倉本館 創英国際特許法律事務所 Tokyo, (JP)</p> <p>(81) 指定国 KR, US</p> <p>添付公開書類 国際調査報告書</p>			
<p>(54) Title: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE</p> <p>(54) 発明の名称 半導体装置及び半導体装置の製造方法</p> <div data-bbox="451 1312 1140 1663" data-label="Image"></div> <p>(57) Abstract A method of manufacturing a semiconductor device having a control electrode is provided in which the control electrode is metalized while reducing the damage and deterioration of gate oxide on the control electrode. In this method, a metal interconnect (24) in predetermined patterns is formed so that it can be electrically connected to a control electrode (8a) on an insulating layer (10) formed on a substrate (2). The method comprises the steps of forming metal film; forming a hard mask (22) of silicon-base inorganic insulator on the metal film, the hard mask being 150 nm to 300 nm thick and having a predetermined pattern; and etching the metal film with an etching gas using the hard mask (22) to form a metal interconnect (24) in a predetermined pattern. According to the method, the remaining charge on the metal film is reduced, thus preventing the damage and deterioration of the insulation layer due to the charge flowing into the control electrode. More preferably, the thickness of the hard mask (22) is from 180 nm to 230 nm.</p>				

制御電極を持つ半導体デバイス上に金属配線を形成する場合、制御電極部のゲート酸化膜の破壊、劣化を低減可能な半導体装置の製造方法を提供する。基板 2 上に形成された絶縁層 10 上の制御電極 8 a に導通を有するように接続された所定パターンの金属配線 24 を形成する半導体装置の製造方法であって、(1)金属膜を形成し、(2)膜厚が 150 nm 乃至 300 nm であって所定パターンを有しシリコン系無機絶縁膜からなるハードマスク 22 を金属膜上に形成し、(3)エッチングガスにより、ハードマスク 22 を用いて金属膜をエッチングし、所定パターンの金属配線 24 を形成する工程から構成される。これにより、金属膜に残留帯電する電荷の量を低減せしめ、電荷が制御電極へ流入することによって生じる絶縁層の破壊および劣化を防止している。ハードマスク 22 の膜厚が 180 nm 乃至 230 nm であればさらに好ましい。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサオ		共和国	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボアール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ヴェトナム
CN	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NO	ノルウェー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明細書

半導体装置の製造方法

技術分野

本発明は、半導体装置の製造方法および半導体装置に関する。

5

発明の背景

半導体集積回路の金属配線を形成する場合、プラズマエッチングが採用されている。例えば、アルミニウム膜(A l 膜)やアルミニウム合金膜(A l 合金膜)をプラズマエッチングする場合、エッチングガスとしてC l₂またはB C l₃、C C l₄といったC l原子を含むガスを用いることができる。また、金属膜のプラズマエッチングにおいては、マスク材料としてフォトレジストが使用されることができる。金属膜とフォトレジスト膜との間にはT i N膜といったT i系膜が反射防止膜として形成されることができる。

10

15 発明の要約

このようなエッチング技術は、半導体集積回路を半導体基板に製造するときに使用される。この半導体集積回路の中には、制御電極を有する金属－絶縁体－半導体型半導体デバイスを備えるものがある。このようなデバイスの製造において、この半導体デバイスの制御電極部がエッチングの後に破壊が発見されたり、絶縁耐圧低下といった劣化が生じていたりする現象が観測されることがある。

20

発明者は、このような事実に着目した。このような現象を回避するために、エッチング条件を変更すること、またはエッチング装置を変更すること、といった対策が取られていた。しかしながら、エッチング形状およびプロセス余裕を必ずしも満足できる状態まで向上させることができなかった。このため、今後、更なる微細化を進めるに当たり、更なる改善が必要とされているという課題を発見した。

25

そこで、本発明の目的は、制御電極を有する半導体デバイス上に金属配線を形成

する場合において、制御電極の部分の破壊および劣化が低減可能な半導体装置の製造方法、およびこれによって得られる半導体装置を提供することにある。

5 発明者は、この目的を達成するために様々な検討を重ねた。エッチングによるMIS半導体デバイスの不具合は、制御電極と半導体基板との間に挟まれた絶縁膜が放電によって破壊または劣化されることにより生じる。発明者は、この原因として、金属膜を形成するときの制御電極の帯電（チャージアップ）に着目した。それは、エッチングの際に制御電極が帯電することによって、ゲート絶縁膜に高い電界が加わる可能性があるからである。

10 エッチングの際に制御電極の帯電を低減するためには、エッチング条件を再検討する方法、エッチング装置を改造する方法といった方法がある。しかしながら、これらの方法は、多くの部分がすでに検討されている。故に、発明者は帯電量自体を低減させる方法がないかと更に検討を重ねた。その結果、本発明を以下の構成のようにした。

15 本発明の半導体装置の製造方法は、基板上に形成された絶縁層上の制御電極に導通を有するように接続された所定パターンの金属配線を形成する半導体装置の製造方法である。この方法は以下の工程、つまり、金属膜を形成する工程と、膜厚が150nm以上300nm以下であって所定パターンを有しシリコン系無機絶縁膜を含むハードマスクを金属膜上に形成する工程と、ハードマスクを用いてエッチングガスにより金属膜をエッチングし所定パターンの金属配線を形成する工程と、を備えることができる。

20 これによって、金属配線を形成する工程中において、金属膜に残留帯電する電荷の量が低減されることができるので、制御電極への帯電電荷の流入することによって生じる絶縁層の破壊および劣化が低減される。

25 また、本発明の半導体装置の製造方法は、所定パターンの金属配線を有する半導体装置を製造する方法に係わる。この方法は以下の工程、つまり、金属-絶縁物-半導体型デバイスのための制御電極を絶縁層上に形成する工程と、制御電極に導通

を有するように設けられた金属膜を形成する工程と、膜厚が150nm以上300nm以下であって所定パターンを有しシリコン系無機絶縁膜を含むハードマスクを金属膜上に形成する工程と、ハードマスクを用いてエッチングガスにより金属膜をエッチングし所定パターンの金属配線を形成する工程と、を備えることができる。

- 5 このように、制御電極との間に導線経路が存在する配線層を形成する際に使用されるマスク材として、フォトレジストに代わってハードマスクを採用した。ハードマスクを採用すると、金属膜をエッチングする際に必要とされるマスク材の初期膜厚を薄くすることができる。このため、マスク材の体積を減少させることができるので、エッチング中に電荷を捕獲する部分が減る。故に、マスク材に帯電する電荷
- 10 量が低減可能である。したがって、制御電極と基板との間に加わる電圧が低減されることができる。

- 更に詳細な検討を重ねた結果、発明者は、本発明を以下のように適用できることを見い出した。以下に示される本発明に係わる特徴は、上記の発明と組み合わせることができる。また、以下に示される本発明に係わる特徴を任意に組み合わせることができ、これによって、それぞれの作用および効果並びにその組合せにより得られる作用および効果を享受することができる。
- 15 発明者は、金属配線のエッチングを確実にを行うためには、ハードマスクの好適な膜厚の範囲は、150nm以上300nm以下の範囲であることを見いだした。また、さらに好適なハードマスク膜厚の範囲は、180nm以上230nm以下の範囲
- 20 であることを見いだした。

- 本発明の半導体装置の製造方法では、ハードマスクは、シリコン酸化物膜といったシリコン系無機膜を用いることができる。この膜を用いると、マスク材が金属配線を形成した後も、配線を絶縁するための絶縁膜として役立つ。故に、ハードマスクを除去する必要がある。例えば、シリコン系無機膜として、 SiO_2 膜、 SiN 膜、 SiOF 膜および SiON 膜の少なくともいずれかが適用されることができる。
- 25 本発明の半導体装置の製造方法では、金属膜には、Al膜およびAl合金膜の少

なくともいずれかが適用されることができ、更に、タングステン膜および銅膜少なくともいずれかが適用されることができる。

本発明の半導体装置の製造方法では、C1を含有するエッチングガスにより金属膜をエッチングすることが好適である。

5 本発明の半導体装置の製造方法では、バリアメタル膜を設ける工程を備えることができる。また、本発明の半導体装置の製造方法では、ハードマスクを用いてこのバリアメタル膜をエッチングする工程を備えることができる。さらに、本発明の半導体装置の製造方法では、ハードマスクの形成に先立って、金属膜上に反射防止膜を設ける工程を備えることができる。本発明の半導体装置の製造方法では、ハード
10 マスクを用いてこの反射防止膜をエッチングする工程を備えることができる。

このように、反射防止膜およびバリアメタル層の少なくともいずれかを金属膜と同一のマスクを用いてエッチングすることができる。これは、製造工程を簡素化する。

本発明の半導体装置は、基板と、MIS型素子と、金属配線と、ハードマスクと
15 を備える。MIS型素子は、基板との間に絶縁膜を介して設けられた電極を有する。金属配線は、MIS型素子上に層間絶縁膜を介して設けられ所定のパターンを有する。ハードマスクは、金属配線上に設けられ金属配線と同一の所定のパターンを有する。金属配線は、MIS型素子の電極と導通を有する。

本発明の半導体装置は、基板と、MIS型電界効果トランジスタと、金属配線と、
20 ハードマスクとを備える。MIS型電界効果トランジスタは、基板に設けられたソースおよびドレイン、並びにソースおよびドレイン間に流れる電流を制御するように基板との間に絶縁膜を介して設けられた制御電極を有する。金属配線は、MIS型電界効果トランジスタ上に層間絶縁膜を介して設けられ所定のパターンを有する。ハードマスクは、金属配線上に設けられ金属配線と同一の所定のパターンを有する。
25 金属配線は、MIS型電界効果トランジスタの制御電極と導通を有する。

これらの半導体装置は、上記の半導体装置の製造方法によって製造されることが

できる。

図面の簡単な説明

本発明の知見は、例示としてのみ示される添付図面を参照して、以下の詳細な記述を考慮することによって容易に理解することができる。

図 1 A は、本発明の半導体装置の製造方法を適用して基板に製造される半導体装置の工程断面図である。図 1 B は、図 1 A に示された工程断面図に対応する平面図である。

図 2 A は、ハードマスク膜上にマスクパターン形成用のフォトリジストを形成した後の工程断面図である。図 2 B は、ハードマスクを形成した後の工程断面図を示している。

図 3 A は、ハードマスクを用いて金属膜をエッチングして金属配線を形成した後の工程断面図を示している。図 3 B は、金属膜がエッチングされて金属配線が形成された後の工程における平面図を示している。

図 4 は、パッシベーション膜を形成した後の工程断面図である。

図 5 A は、ハードマスクを用いたエッチングの際の帯電電荷、およびその電荷によって誘起される電荷の両方を示す模式図である。図 5 B は、フォトリジストを用いたエッチングの際の帯電電荷、およびその電荷によって誘起される電荷の両方を示す模式図である。

図 6 A は、フォトリジストを用いたエッチングの際の帯電電荷、およびその電荷によって誘起される電荷の両方についてキャパシタを用いて表した概念図である。図 6 B は、ハードマスクを用いたエッチングの際の帯電電荷、およびその電荷によって誘起される電荷の両方についてキャパシタを用いて表した概念図である。

図 7 は、ゲート酸化膜の劣化の評価方法の一つである経時絶縁破壊の結果を示すグラフである。

発明を実施するための最良の形態

以下、図面を参照して本発明の好適な実施形態について詳細に説明する。可能な場合には、同一の部分には同一の符号を付して重複する説明を省略する。

5 図1Aは、本発明の実施の形態である半導体装置の製造方法を適用して製造される半導体装置の工程断面図であり、図1Bは、図1Aに示された工程断面図に対応する平面図である。図1Aは、図1BのI-I断面に対応する。

以下、金属-絶縁体-半導体型(MIS型)半導体素子上に金属配線を備える半導体装置を製造する方法について説明する。このMIS型素子には、制御電極を有するMIS型トランジスタおよびMIS型キャパシタが少なくとも含まれる。特に、
10 これに限定されるものではないが、P型導電性のシリコン基板を採用し、金属-酸化物-半導体型(以下、「MOS型」と記す)電界効果トランジスタをこの基板上に形成する形態を説明する。

図1A及び図1Bを参照すると、シリコン基板2の表層に素子分離膜4が形成されている。素子分離膜4は、MOS型トランジスタが形成される素子領域6を相互
15 に分離するための絶縁領域である。素子分離膜4は、絶縁領域にシリコン酸化膜といった絶縁膜を成膜することによって形成される。この方法としては、これに限定されるものではないが、例えば、LOCOS法、LOPOS法といった素子分離法を採用されることができる。

続いて、基板2上に、ポリシリコン層8を形成する。ポリシリコン層8は、素子
20 領域6上に設けられた制御電極8a、および素子分離膜4上に設けられた配線層8bといった導電層として利用される。ポリシリコン層8は、以下の処理により形成される。熱酸化法を用いてゲート絶縁膜10を成膜した後にポリシリコン膜をCVD法によって形成する。このポリシリコン膜を所定形状にエッチングする。

素子領域6には、N型半導体領域6a、6bが形成されている。制御電極8aおよび素子分離膜4に対して、N型半導体領域6a、6bの各々は自己整合的に形成
25 されている。このN型不純物の導入には、これに限定されるものではないが、例え

ばイオン注入法を採用することができる。N型半導体領域6 a、6 bの一方は、MOS型トランジスタのソース領域として役立ち、また他方はMOS型トランジスタのドレイン領域として役立つことができる。N型半導体領域6 a、6 bは、制御電極8 aによって分離されている。分離されたN型半導体領域6 a、6 bの間には、

5 チャンネル領域6 cが形成されている。チャンネル領域6 cと制御電極8 aとは、ゲート酸化膜10を両側から挟んでいる。制御電極8 aに加えられる電圧によって、チャンネル領域6 cの導電率に変調される。その結果として、制御電極8 aは、ソース領域とドレイン領域との間に流れる電流を制御するためのゲート電極となる。

基板2上には、制御電極8 a、ソース領域及びドレイン領域のN型半導体領域6

10 a、6 b並びに層間絶縁膜14が形成される。MOS型トランジスタは、ソース領域及びドレイン領域のN型半導体領域6 a、6 b並びに制御電極8 aを有する。層間絶縁膜14は、制御電極8 aとその上層に形成される配線層とを電氣的に分離するために利用される。この絶縁膜14は、例示的には以下の処理によって形成される。CVD法を用いて所定の厚さのBP SG膜を堆積する。この後、BP SG膜は、

15 熱処理することによって平坦化される。

この層間絶縁膜14内には、導電部が形成される。導電部は、ソース領域及びドレイン領域のN型半導体領域6 a、6 b、制御電極8 a並びに配線層8 bと、上層形成される金属配線とを電氣的に接続する。導電部を形成するために、層間絶縁膜14内に、コンタクト孔12 a、12 b、12 c、12 dが形成される、コンタク

20 ト孔12 a、12 b、12 c、12 dは、例示的には以下の処理によって形成される。フォトリソグラフィ法を用いて所定部分に開口部を有するフォトレジストマスクを形成する。この後に、プラズマエッチング法によって開口部の層間絶縁膜14を除去する。この結果、コンタクト孔12 aはN型半導体領域6 a上に設けられ、N型半導体領域6 aとその上層の配線層を接続するための導電部が得られる。コン

25 タクト孔12 bはN型半導体領域6 b上に設けられ、N型半導体領域6 bとその上層の配線層を接続するための導電部が形成される。コンタクト孔12 cは配線層8

b上に設けられ、配線層8bとその上層の配線層を接続するための導電部が形成される。コンタクト孔12dは制御電極8aの延長部上に設けられ、制御電極8aとその上層の配線層を接続するための導電部が形成される。

図2Aは、ハードマスク膜上にマスクパターン形成用のフォトリソを形成した後の工程断面図である。図2Aを参照すると、基板2上には、金属膜16が堆積される。金属膜16は、アルミニウム、Al合金、タングステンおよび銅といった導電材料の少なくともいずれかから形成される導電膜を備える。

金属膜16の下には、バリアメタル膜を設けるようにできる。これにより、金属膜16と層間絶縁膜14との間には、TiまたはTi/TiNといった材料のバリアメタル膜が形成される。また、導電膜上には、導電膜上に直接に反射防止膜が更に形成されることができる。反射防止膜としては、p-SiON、TiN、Ti/TiN、Si、Si/TiN、p-SiON/TiN、SiC、有機塗布膜を有する単一層膜およびこれらのこれらから選ばれた材料から形成される積層膜を利用することができる。バリアメタル膜、導電膜および反射防止膜の各々は、例えば、スパッタリング法又はCVD法といった方法によって形成されることができる。金属膜16は、層間絶縁膜14に形成されたコンタクト孔12a、12b、12c、12d(図1A)内にも形成される。このため、N型半導体領域6a、6b、制御電極8a及び配線層8bと、これらの上に形成される金属膜とを電氣的に接続するための導電部16a、16b、16c、16d(図3B)も同時に形成される。

金属膜16の膜厚を例示すれば、製造される半導体装置の特性および信頼性を確保するためには、100nm以上1000nm以下であることが好ましい。一実施例として、

Ti系のバリアメタル膜：50nm以上100nm以下

Al膜からなる導電膜：100nm以上1000nm以下

反射防止膜：50nm以上100nm以下

がある。

次いで、ハードマスクとして利用可能なマスク膜 18 を金属膜 16 上に形成する。ハードマスク膜 18 の材料としては、シリコン系絶縁膜が適用されることができる。シリコン系絶縁膜を例示すれば、シリコン系無機膜として、 SiO_2 が含まれることができる。これら無機膜は、例えば、CVD 法といった方法を用いて堆積される。

5 発明者の実験によれば、金属膜 16 のエッチングを適切に行うために、ハードマスク膜 18 の膜厚が 150 nm 以上の厚さであることが好ましく、300 nm 以下の厚さが好ましいことを発見した。ハードマスク膜 18 (ハードマスク 22 となる) の厚さが 150 nm 未満であると、金属膜 16 のエッチングの際にマスク材として機能が発揮されない。つまり、エッチングの際の膜減りを考慮すると、マスク材として
10 としては薄すぎるのである。一方、ハードマスク膜 18 の厚さが 300 nm を越えると、逆にエッチング中の帯電量の増加によりゲート酸化膜の破壊および劣化が目立ち始める。このため、上記の膜の範囲が、発明者が実験と考察によって見いだした好適な範囲である。発明者が実験データを詳細に検討した結果、膜厚 180 nm 以上がさらに好適であり、膜厚 230 nm 以下がさらに好適であり、膜厚 180 nm
15 以上 230 nm 以下の範囲がさらに好適であることが明らかになった。

加えて、ハードマスク 22 は、シリコン系無機膜であるので、金属配線 24 を形成した後においても取り除く必要がないことも有利な点である。

これらの層 16、18 が堆積された後に、ハードマスクは、例えばフォトリソグラフィ法を採用して形成される。図 2 B は、ハードマスク 22 を形成した後の工程
20 断面図を示している。ハードマスク 22 の形成は、以下の工程に従って進められる。まず、ハードマスク膜 18 上にフォトレジストを塗布し露光して、金属配線として形成されるべき配線パターンを有するレジスト層 20 を形成する。このレジスト層 20 をマスクとして、ハードマスク膜 18 をエッチングする。ハードマスク膜 18 をエッチングするための条件を例示すれば、

25 CHF_3 の流量 : 10 sccm

CF_4 の流量 : 20 sccm

Arの流量 : 60 sccm
O₂の流量 : 5 sccm
チャンバ内の圧力 : 60 mTorr
パワー : 200 W

5 となる。このような条件を用いてハードマスク膜18をエッチングし、ハードマスク22を形成する。

次いで、このように形成されたハードマスク22をマスクにして金属膜をエッチングする。このエッチングは、プラズマエッチング装置といったエッチング装置を使用して行うことができる。このようにハードマスク22を用いて金属膜16のエッチングを行うと、エッチングに際してゲート酸化膜10の破壊および劣化が低減される。

10

図3Aは、ハードマスク22を用いて金属膜16をエッチングして金属配線24が形成された後の工程断面図を示している。図3Aは、以下に示される図3BのI-I断面に対応する。図3Bは、金属膜16がエッチングされて金属配線24が形成された後の工程における平面図を示している。これらの図面において、金属配線およびハードマスクは同一のパターンを有している。

15

図3Bを参照すると、エッチング中においては、制御電極8a及び配線層8bは、金属層16との導電経路を有している。導電経路は、コンタクト孔12d内に形成された導電部16dによって設けられている。エッチング後では、制御電極8a及び配線層8bは、金属配線24との導電経路を有する。このため、制御電極8a及び配線層8bは、金属配線24が形成された後においても、エッチングのプラズマにさらされているときは基板2と異なる電位になる。この電位は、エッチングマスクの帯電量に応じた値である。これに関する詳細は後述する。

20

金属配線24を形成した後に、ハードマスク22が残された状態で、パッシベーション膜26を形成する。図4は、パッシベーション膜26を形成した後の工程断面図である。パッシベーション膜26は、例えば、CVD法を用いて低濃度の燐(P)

25

ドーパのシリコン酸化膜 (PSG) を堆積した後に、プラズマ窒化膜を形成するといった構造によって達成される。

以上の工程によって、発明の実施の形態で説明した半導体装置の製造方法を適用した半導体装置が完成した。この実施の形態では、単一の金属配線層 24 を有する半導体装置について説明したけれども、金属配線層 24 の上に追加される一層以上の金属配線層を更に有する半導体装置に対しても適用できることは言うまでもない。この場合に、別個の金属層、別個のハードマスク膜、別個のフォトリソマスクをそれぞれ形成する。これらの層は、それぞれ、金属層 16、ハードマスク膜 18、フォトリソマスク 20 に対応する。

これら別個の層の形成方法は、これに限られるものではないが、上記の方法と同じように行うことができる。この後に、別個のフォトリソマスクをマスクにして別個のハードマスク膜をエッチングして、別個のハードマスクを形成する。そして、この別個のハードマスクをマスクにして、別個の金属層をエッチングして金属配線層を形成する。この場合においても、MOS型トランジスタのゲート酸化膜がエッチング中に破壊および劣化されることが低減される。

上で説明した金属膜のエッチング工程におけるエッチング条件に関して説明する。エッチングは、 Cl_2 ガス、 BCl_3 ガスの混合ガスをエッチングガスの主成分として、 CHF_3 を添加ガスとして用いて行われている。

エッチング条件を例示すれば、以下の処理が好適である。基板 2 をエッチング装置のサセプタ上に載置する。この後に、処理チャンバ内の圧力を 5 ~ 30 mTorr 程度、例えば 12 mTorr に減圧する。ガス流量バルブを制御して、 Cl_2 ガスの流量を 80 sccm (全量に対して約 60%)、 BCl_3 ガスを 40 sccm (約 10%)、 CHF_3 ガスを 15 sccm 以下の流量の条件でそれぞれ供給する。これらを混合した後にチャンバ内に導入する。高周波電力を印加すると、チャンバ内において高密度プラズマが発生され維持される。エッチングガスはプラズマによって解離及び電離され、プラズマ中に存在する塩素 (Cl) の活性種及びイオンが主に

金属膜 16 のエッチングに寄与する。この際、 Cl^- イオンが負電位のサセプタに向かって進むので、垂直方向の異方性エッチングが可能となる。

5 なお、 Cl_2 ガス及び BCl_3 ガスは、従来、金属膜のエッチングガスとして用いられた場合と同様の混合比で混合され使用されることができる。金属膜 16 の材料として、Al、Al 合金を例示して挙げているけれども、エッチングのための上記 Cl 含有ガスでエッチング可能な導電材料であれば、配線層のために材料として適用されることができる。

10 次いで、金属配線の形成に際して、MOS 型トランジスタのゲート酸化膜（制御電極）の破壊が低減されるメカニズムについて、図 5 A 及び図 5 B を参照しながら説明する。図 5 A は、ハードマスクを用いたエッチングの際の帯電電荷、およびその電荷によって金属膜中に誘起される電荷の両方を示す模式図である。図 5 B は、フォトリジストを用いたエッチングの際の帯電電荷、およびその電荷によって金属膜中に誘起される電荷の両方を示す模式図である。発明者は、このメカニズムを以下のように考えている。

15 まず、フォトリジスト 23 を使用して同一膜厚の金属膜 16 をエッチングする場合と比較して、ハードマスク 22 を採用するとマスク膜厚を薄くすることができる。例えば、フォトリジスト 23 の厚さは $1\text{ }\mu\text{m}$ 以上 $2\text{ }\mu\text{m}$ 以下であることができる。このようなフォトリジスト 23 の厚さが必要な場合でも、ハードマスク 22 を採用すると、既に説明したように、ハードマスク 22 の膜厚が所定の範囲であれば良好に金属膜 16 のエッチングを行うことが可能となる。ハードマスク 22 のこの所定の膜厚は、 150 nm 以上 300 nm 以下の範囲であることが好ましい。

20 ハードマスク 22 によれば、帯電の原因となるマスク材の体積が小さくなる。このため、エッチング中において、マスク材の帯電量が少なくなるので、金属膜の誘起電荷量を少なくできる。また、発明者の実験によれば、ハードマスク 22 の膜厚が 180 nm 以上 230 nm 以下であればさらに好ましい結果が得られる。

25 エッチング中においては、マスク材は、エッチングの際に電荷が蓄積されて負に

帯電する一方で、エッチングされる導体は相対的に正に帯電するようになる。これは、エッチングのための金属膜 16 に到達するイオンは正電荷を有するからである。この結果、金属膜 16 の電位は基板 2 と異なる電位になる。

つまり、制御電極（図 1 A の 8 a）および配線層（図 1 A の 8 b）は、金属膜と電氣的な接続経路（例えば、図 2 B の 16 c、16 d）を有するので、制御電極 8 a および配線層 8 b と、これらと対面する基板 2 との間には電位差が生じる。薄いゲート絶縁膜 10 を介して基板 2 と絶縁されている制御電極 8 a は、その電位差が大きくなるとゲート絶縁膜 10 が絶縁破壊を起こす。しかしながら、本実施の形態では、原因となるマスク材の帯電量が少なくできるので、この絶縁破壊にまで至らない。

負電荷が帯電したフォトレジスト 23 は、シェーディング(shading)を引き起こし、プラズマ 40 中の電子が跳ね返される(図 5 B の 44)。しかしながら、ハードマスク 22 の帯電量が少なくなることに加えて、以下の有利な点がある。ハードマスク 22 は、フォトレジスト 23 を用いる従来の場合に比較して、エッチング部分のアスペクト比が小さく維持されることを可能する。低アスペクト比では、プラズマ 40 中の電子が、エッチング部分の深部にも到達可能になる(図 5 A の 42)。これは、シェーディング(shading)によりプラズマ 40 中の電子が跳ね返されることがないからである。故に、エッチング中の金属膜 16 に到達した電子は、正に帯電した金属膜 16 の帯電量を減少させることができる。このため、ハードマスク 22 は、エッチング中に生じる金属膜 16 の帯電を低減するためにも役立つ。

図 5 A および図 5 B から明らかなように、本実施の形態において説明した方法によれば、エッチングの際に膜中の電荷、およびその電荷によって誘起される電荷の両方が低減される。マスク材の帯電は、配線が密に形成される部分で顕著になると考えられる。しかしながら、本実施の形態で説明した方法によれば、このような配線密集領域においても、マスク材の帯電が、上記の 2 通りのメカニズムによって低減される。

図6 Aは、フォトレジストを用いたエッチングの際の帯電電荷、およびその電荷によって誘起される電荷の両方に関してキャパシタを用いて表した概念図である。図6 Bは、ハードマスクを用いたエッチングの際の帯電電荷、およびその電荷によって誘起される電荷の両方についてキャパシタを用いて表した概念図である。

5 図6 Aを参照すると、フォトレジスト23の膜厚が厚いので、多くの帯電電荷が存在する。図6 Bを参照すると、ハードマスク22の膜厚がより薄いので、より少ない帯電電荷が存在する。このため、ノードAとノードBとの電位差V1は、ノードCとノードDとの電位差V2に比べて、その絶対値において大きくなる。

10 図6 A及び図6 Bにおいて、キャパシタC1は、素子分離膜4上のポリシリコン層8（例えば、図1 Bの8 b）と基板2との間に形成される。キャパシタC2は、ゲート酸化膜10上のポリシリコン層8（例えば、図1 Bの8 a）と基板2との間に形成される。ゲート酸化膜10の膜厚は、素子分離膜4の膜厚に比べて薄いので、両キャパシタの単位面積当たりの容量値を比較すると $C1 < C2$ である。

15 図6 Aに示されたキャパシタC1、C2の両端には、図6 Bに示されたのキャパシタC1、C2に比べて大きな電圧が加えられている。ゲート酸化膜10の膜厚は薄いので、製造プロセスに起因する欠陥も生じやすいと考えられる。このため、ある程度大きな電圧が加わると、その欠陥部分が絶縁破壊を起こす可能性がある。これが、制御電極（ゲート電極）8 aの破壊として現れると考えられる。

20 図7は、ゲート酸化膜の劣化の評価方法の一つである経時絶縁破壊(TDD B、Time Dependent Dielectric Breakdown)の結果を示すグラフである。

25 この方法においては、まず、所定の条件がA1膜（金属膜）のエッチングが終了するまで維持される。所定の条件とは、 Cl_2 が60 s c c m、 BCl_3 が90 s c c m、 CHF_3 が15 s c c mの流量のガスを、処理チャンバに10 m T o r rの圧力下で流すことである。次に、別の所定の条件をバリアメタル層のエッチングが終了した後、更に、10秒間、維持する。別の所定の条件とは、 Cl_2 が30 s c c m、 BCl_3 が45 s c c m、 CHF_3 が15 s c c mの流量のガスを、7 m

Torrの圧力で流すことを示す。使用サンプルのゲート酸化膜の厚さは4.5 nm、ゲート面積は $10\mu\text{m}^2$ である。また、ハードマスク膜厚は、150 nmである。

図7は、このような条件下で形成されたサンプルの測定結果を示している。この実験では、このようなサンプルの制御電極に $500\text{mA}/\text{cm}^2$ の定電流ストレスを与え、破壊にいたるまでの時間を計測した。図7のグラフでは横軸に時間、縦軸に累積不良率として表示している。「○」印はフォトレジストを使用したときのデータ、「●」印はハードマスクを使用したときのデータである。なお、「□」印は対比参照のために、配線パターンのない単なる電極パターン（制御電極面積に対して10万倍の面積のパターン）に接続された制御電極において測定されたデータである。単なる電極パターンでは、シェーディングに起因するダメージは配線パターンでないために生じない。

図7のグラフが示すように、フォトレジストを使用した結果に比べ、ハードマスクを使用したときの累積不良率は改善されている。このような結果は、シェーディングに起因するダメージを含まない結果とほぼ同等である。

以上、図面を参照しながら詳細に説明したように、本発明によれば、MOS型半導体デバイスの制御電極と電氣的に接続される配線層のプラズマドライエッチングを行う場合、特に配線間隔が密な部分で配線膜の帯電が促進されることによって生じるゲート酸化膜の絶縁破壊および劣化を低減することができる。本発明は、これに限定されるものではなく、絶縁膜上に設けられた導電層に導通を有するように接続された所定パターンの金属配線を形成する半導体装置の製造方法に適用されることができる。

産業上の利用可能性

以上述べたように、本発明に於いては、フォトレジストに代わってハードマスクを採用した。このため、ハードマスクは、制御電極との間に導線経路が存在する配

線層を形成する際に使用されるマスク材として利用されている。ハードマスクは、金属膜をエッチングする際に必要とされるマスク材の初期膜厚を薄くすることを可能にする。

5 これは、マスク材の体積を減少させるので、エッチング中に電荷を捕獲する部分が減少する。故に、マスク材に帯電する電荷量が低減可能なので、制御電極と基板との間に加わる電圧を小さくすることができる。

したがって、制御電極を有する半導体デバイス上に金属配線を形成する場合において、ゲート酸化膜の破壊および劣化が低減可能な半導体装置の製造方法および半導体装置が提供される。

10

請求の範囲

1. 基板上に形成された絶縁層上の制御電極に導通を有するように接続された所定パターンの金属配線を形成する半導体装置の製造方法であって、

5 金属膜を形成する工程と、

膜厚が150nm以上300nm以下であって前記所定パターンを有しシリコン系無機絶縁膜を含むハードマスクを前記金属膜上に形成する工程と、

前記ハードマスクを用いてエッチングガスにより前記金属膜をエッチングし、前記所定パターンの金属配線を形成する工程と、

10 を備え、

前記金属配線を形成する工程中に、前記金属膜に残留帯電する電荷の量を低減せしめ、これにより前記電荷が前記制御電極へ流入することによって生じる前記絶縁層の破壊および劣化を低減するようにした半導体装置の製造方法。

15 2. 前記ハードマスクの材料はシリコン酸化物である、請求項1に記載の半導体装置の製造方法。

3. 前記金属膜はAl膜およびAl合金膜の少なくともいずれかである、請求項1または請求項2に記載の半導体装置の製造方法。

20

4. 前記金属膜はタングステン膜および銅合金膜の少なくともともである、請求項1または請求項2に記載の半導体装置の製造方法。

25 5. 前記ハードマスクの膜厚は180nm以上230nm以下である、請求項1から請求項4のいずれかに記載の半導体装置の製造方法。

6. バリアメタル膜が設けられている、請求項 1 から請求項 5 のいずれかに記載の半導体装置の製造方法。

5 7. 前記ハードマスクを用いて前記バリアメタル膜をエッチングする工程を更に備える、請求項 6 に記載の半導体装置の製造方法。

8. 前記金属膜と前記ハードマスクとの間に反射防止膜が設けられている、請求項 1 から請求項 7 のいずれかに記載の半導体装置の製造方法。

10 9. 前記ハードマスクを用いて前記反射防止膜をエッチングする工程を更に備える、請求項 8 に記載の半導体装置の製造方法。

10. 前記エッチングガスは Cl を含有する、請求項 1 に記載の半導体装置の製造方法。

15 11. 所定パターンの金属配線を有する半導体装置の製造方法であって、金属-絶縁物-半導体型デバイスのための制御電極を絶縁層上に形成する工程と、前記制御電極に導通を有するように設けられた金属膜を形成する工程と、膜厚が 150 nm 以上 300 nm 以下であって所定パターンを有しシリコン系無機絶縁膜を含むハードマスクを前記金属膜上に形成する工程と、
20 前記ハードマスクを用いてエッチングガスにより前記金属膜をエッチングし、前記所定パターンの金属配線を形成する工程と、
を備える半導体装置の製造方法。

25 12. 制御電極を絶縁層上に形成する工程に先立って、前記絶縁膜を形成する工程を更に備える、請求項 11 に記載の半導体装置の製造方法。

13. 金属－絶縁物－半導体型デバイスのためのソースおよびドレインを形成する工程を更に備える、請求項11または請求項12に記載の半導体装置の製造方法。

5

14. 前記ハードマスクの材料はシリコン酸化物である、請求項11から請求項13のいずれかに記載の半導体装置の製造方法。

10

15. 前記ハードマスクの膜厚は180nm以上230nm以下である、請求項11から請求項14のいずれかに記載の半導体装置の製造方法。

15

16. 金属膜を形成する工程に先立って、バリアメタル膜を設ける工程と、前記ハードマスクを用いて前記バリアメタル膜をエッチングする工程と、を更に備える請求項11から請求項15のいずれかに記載の半導体装置の製造方法。

20

17. ハードマスクを前記金属膜上に形成する工程に先立って、前記金属膜上に反射防止膜を形成する工程と、
前記ハードマスクを用いて前記反射防止膜をエッチングする工程と、
を更に備える請求項11から請求項16のいずれかに記載の半導体装置の製造方法。

25

18. 基板と、
前記基板との間に絶縁膜を介して設けられた電極を有するMIS型素子と、
前記MIS型素子上に層間絶縁膜を介して設けられ所定のパターンを有する金属配線と、
前記金属配線上に設けられ前記金属配線と同一の所定のパターンを有するハードマスクと、

を備え、

前記金属配線は前記M I S型素子の電極と導通を有する、半導体装置。

19. 基板と、

5 前記基板に設けられたソースおよびドレイン、並びに前記ソースおよびドレイン間に流れる電流を制御するように前記基板との間に絶縁膜を介して設けられた制御電極を有するM I S型トランジスタと、

前記M I S型トランジスタ上に層間絶縁膜を介して設けられ所定のパターンを有する金属配線と、

10 前記金属配線上に設けられ前記金属配線と同一の所定のパターンを有するハードマスクと、

を備え、

前記金属配線は前記M I S型トランジスタの制御電極と導通を有する、半導体装置。

15

20. 前記M I S型電界効果トランジスタはM O S型電界効果トランジスタである、請求項19に記載の半導体装置。

図2A

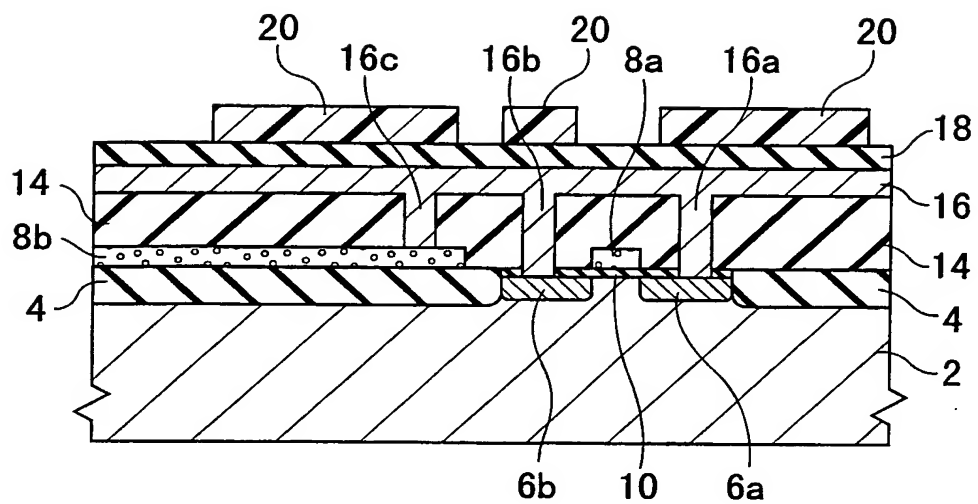


図2B

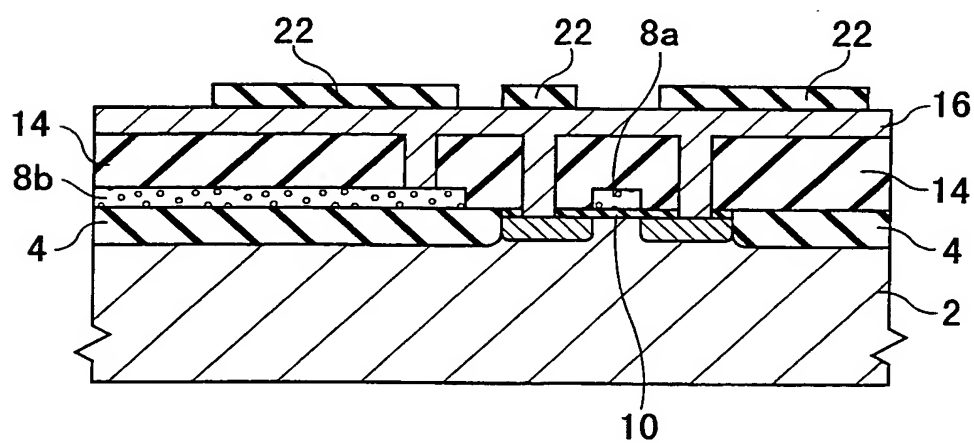


図3A

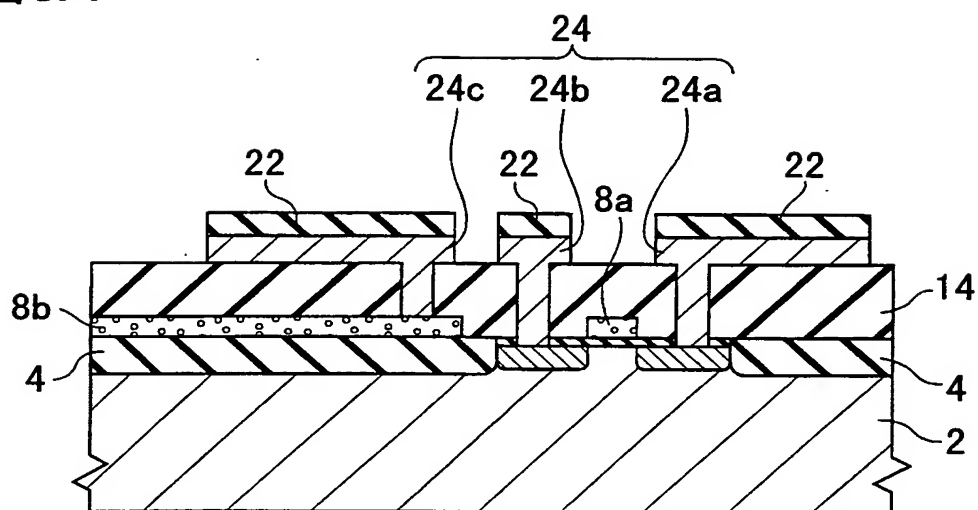


図3B

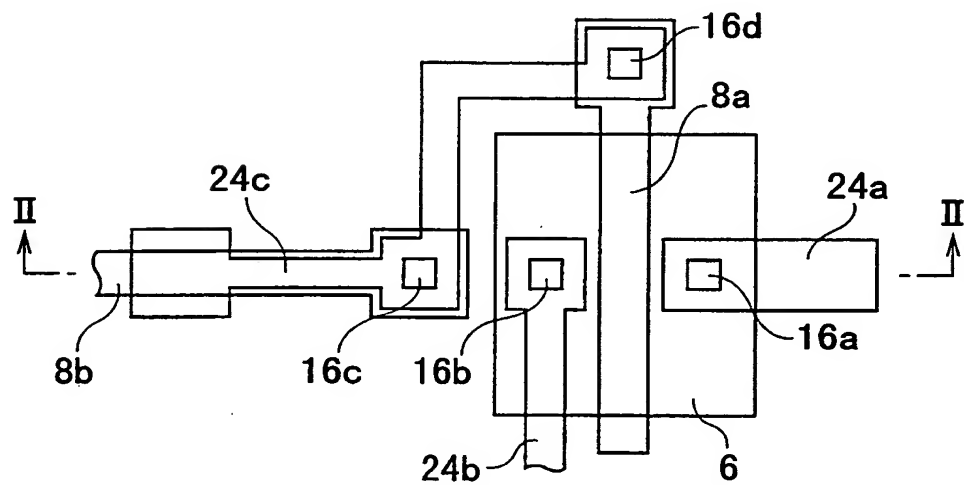


図4

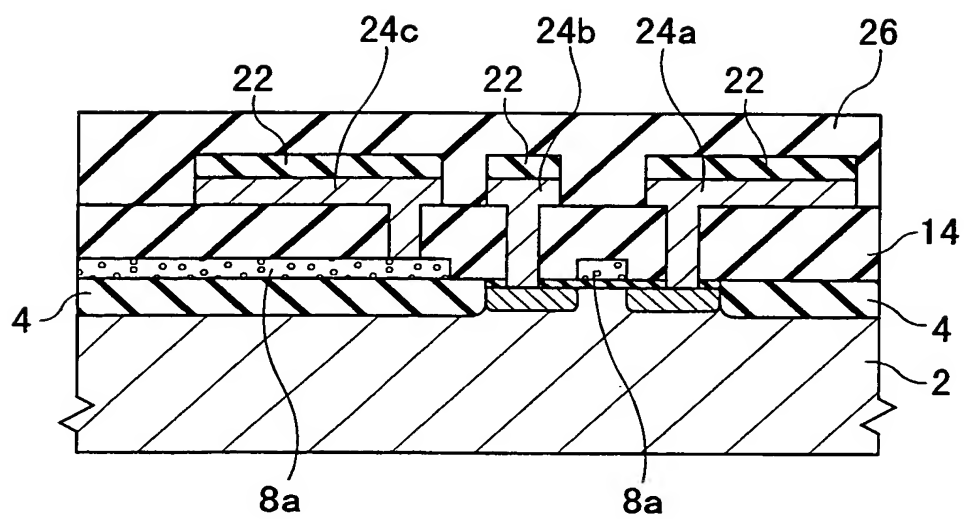


図5A

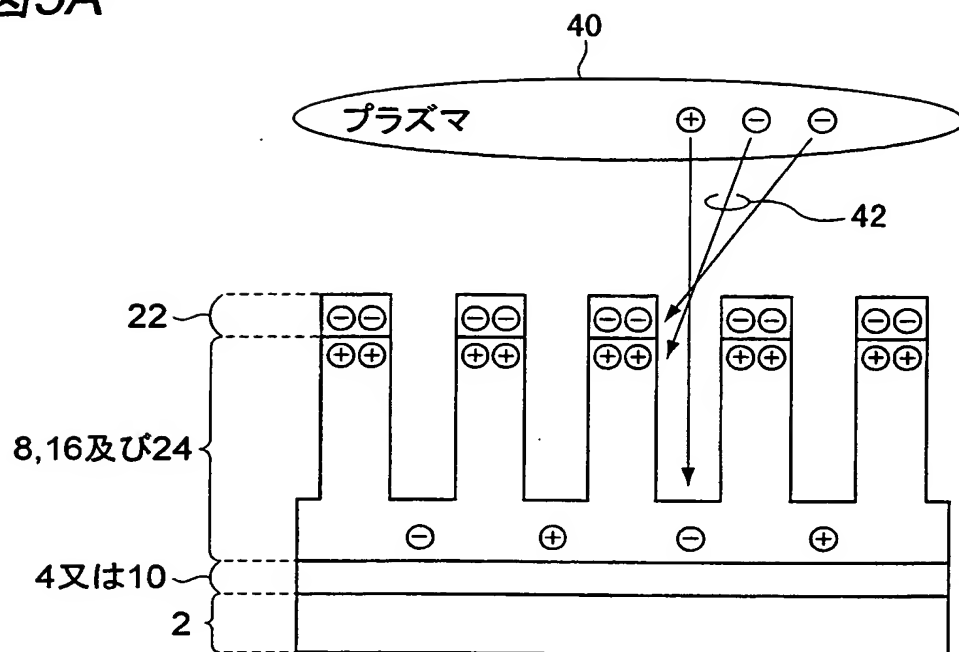


図5B

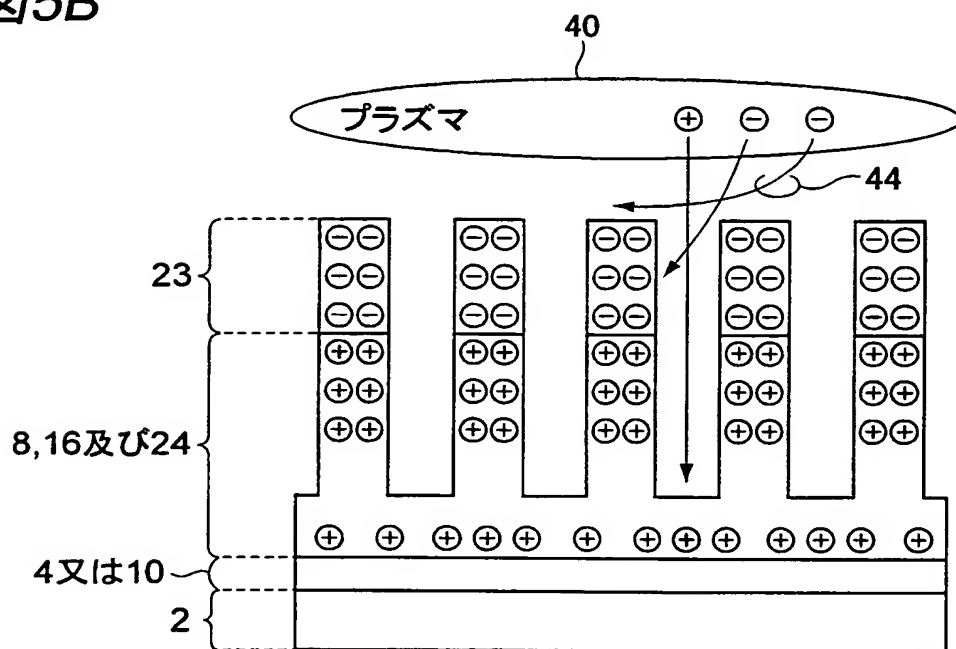


図6A

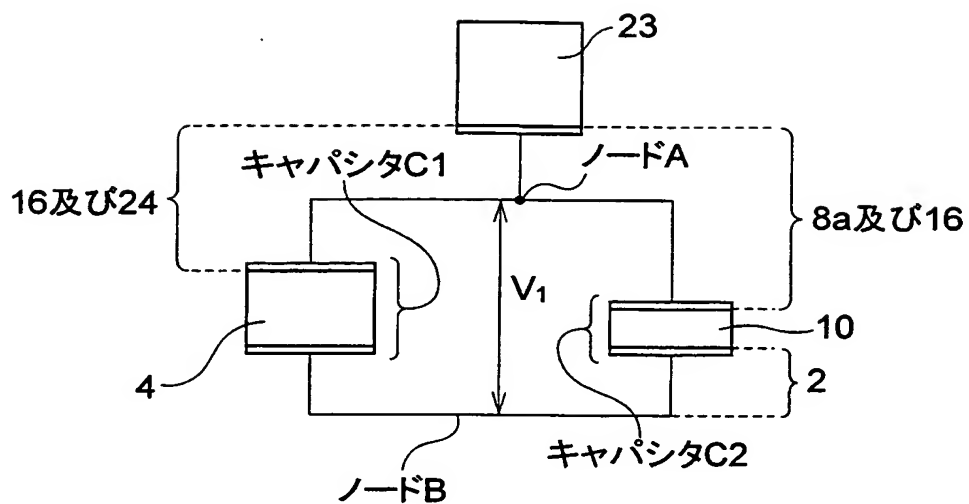
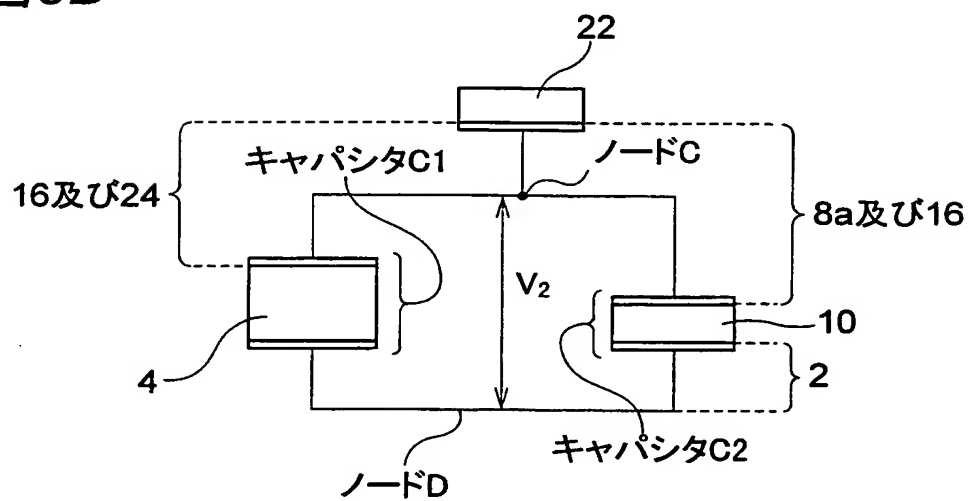
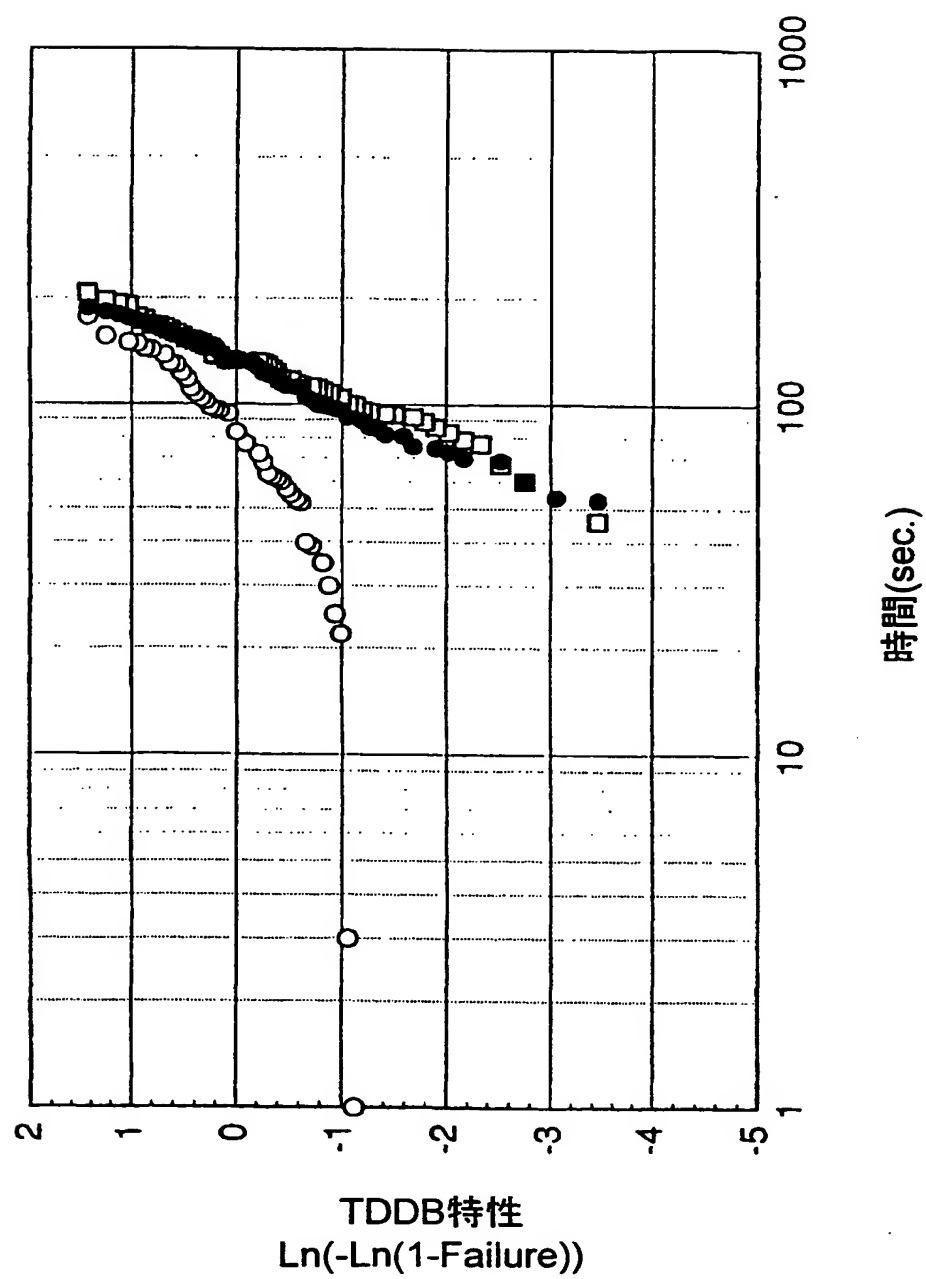


図6B





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/02914

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/3213, H01L21/3065, H01L21/336, H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/3213, H01L21/3065, H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 7-78829, A (Fujitsu Limited), 20 March, 1995 (20.03.95), Par. Nos. [0129]-[0135]; Fig. 10 Par. Nos. [0094] to [0105]; Fig. 7 Par. Nos. [0176] to [0182]	1-7, 10-20
Y	JP, 11-121615, A (Sony Corporation), 30 April, 1999 (30.04.99), Par. Nos. [0129]-[0135]; Fig. 10 Par. Nos. [0094] to [0105]; Fig. 7 Par. Nos. [0176] to [0182] (Family: none)	8, 9
Y	JP, 11-121615, A (Sony Corporation), 30 April, 1999 (30.04.99), Par. Nos. [0027]-[0054]; Fig. 1 (Family: none)	4, 8, 9

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 July, 2000 (26.07.00)Date of mailing of the international search report
08 August, 2000 (08.08.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JPO0/02914

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/3213, H01L21/3065, H01L21/336, H01L29/78

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/3213, H01L21/3065, H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2000年
 日本国登録実用新案公報 1994-2000年
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 7-78829, A (富士通株式会社) 20.03月.1995 (20.03.95) 段落番号【0129】-【0135】, 図10 【0094】-【0105】, 図7 【0176】-【0182】	1-7, 10-20
Y	段落番号【0129】-【0135】, 図10 【0094】-【0105】, 図7 【0176】-【0182】 (ファミリーなし)	8, 9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

26.07.00

国際調査報告の発送日

08.08.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

北島 健次

4 L 9733

電話番号 03-3581-1101 内線 3496

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 11-121615, A (ソニー株式会社) 30.04月. 1999 (30.04.99) 段落番号【0027】-【0054】, 図1 (ファミリーなし)	4, 8, 9

請求の範囲

1. (補正後) 基板上に形成された絶縁層上の制御電極に導通を有するように接続された所定パターンの金属配線を形成する半導体装置の製造方法であって、
5 金属膜を形成する工程と、

膜厚が180nm以上230nm以下であって前記所定パターンを有しシリコン系無機絶縁膜を含むハードマスクを前記金属膜上に形成する工程と、

前記ハードマスクを用いてエッチングガスにより前記金属膜をエッチングし、
前記所定パターンの金属配線を形成する工程と、
10 を備え、

前記金属配線を形成する工程中に、前記金属膜に残留帯電する電荷の量を低減せしめ、これにより前記電荷が前記制御電極へ流入することによって生じる前記絶縁層の破壊および劣化を低減するようにした半導体装置の製造方法。

15 2. 前記ハードマスクの材料はシリコン酸化物である、請求項1に記載の半導体装置の製造方法。

3. 前記金属膜はAl膜およびAl合金膜の少なくともいずれかである、請求項1または請求項2に記載の半導体装置の製造方法。

20 4. 前記金属膜はタングステン膜および銅合金膜の少なくともともである、請求項1または請求項2に記載の半導体装置の製造方法。

5. (削除)

25 6. (補正後) バリアメタル膜が設けられている、請求項1から請求項4の

THIS PAGE BLANK (USPTO)

いずれかに記載の半導体装置の製造方法。

7. 前記ハードマスクを用いて前記バリアメタル膜をエッチングする工程を更に備える、請求項6に記載の半導体装置の製造方法。

5

8. (補正後) 前記金属膜と前記ハードマスクとの間に反射防止膜が設けられている、請求項1から請求項4並びに請求項6および請求項7のいずれかに記載の半導体装置の製造方法。

10

9. 前記ハードマスクを用いて前記反射防止膜をエッチングする工程を更に備える、請求項8に記載の半導体装置の製造方法。

10. 前記エッチングガスはClを含有する、請求項1に記載の半導体装置の製造方法。

15

11. (補正後) 所定パターンの金属配線を有する半導体装置の製造方法であって、

金属-絶縁物-半導体型デバイスのための制御電極を絶縁層上に形成する工程と、

20 前記制御電極に導通を有するように設けられた金属膜を形成する工程と、

膜厚が180nm以上230nm以下であって所定パターンを有しシリコン系無機絶縁膜を含むハードマスクを前記金属膜上に形成する工程と、

前記ハードマスクを用いてエッチングガスにより前記金属膜をエッチングし、前記所定パターンの金属配線を形成する工程と、

25 を備える半導体装置の製造方法。

THIS PAGE BLANK (USPTO)

12. 制御電極を絶縁層上に形成する工程に先立って、前記絶縁膜を形成する工程を更に備える、請求項11に記載の半導体装置の製造方法。

5 13. 金属-絶縁物-半導体型デバイスのためのソースおよびドレインを形成する工程を更に備える、請求項11または請求項12に記載の半導体装置の製造方法。

14. 前記ハードマスクの材料はシリコン酸化物である、請求項11から請求項13のいずれかに記載の半導体装置の製造方法。

10

15. (削除)

16. (補正後) 金属膜を形成する工程に先立って、バリアメタル膜を設ける工程と、

15 前記ハードマスクを用いて前記バリアメタル膜をエッチングする工程と、を更に備える請求項11から請求項14のいずれかに記載の半導体装置の製造方法。

20 17. (補正後) ハードマスクを前記金属膜上に形成する工程に先立って、前記金属膜上に反射防止膜を形成する工程と、

前記ハードマスクを用いて前記反射防止膜をエッチングする工程と、を更に備える請求項11から請求項14および請求項16のいずれかに記載の半導体装置の製造方法。

25 18. (補正後) 基板と、前記基板との間に絶縁膜を介して設けられた電極を有するMIS型素子と、

THIS PAGE BLANK (USPTO)

前記M I S型素子上に層間絶縁膜を介して設けられ所定のパターンを有する金属配線と、

前記金属配線上に設けられ前記金属配線と同一の所定のパターンを有するハードマスクと、

5 を備え、

前記ハードマスクの膜厚は180nm以上230nm以下であり、

前記金属配線は前記M I S型素子の電極と導通を有する、半導体装置。

19. (補正後) 基板と、

10 前記基板に設けられたソースおよびドレイン、並びに前記ソースおよびドレイン間に流れる電流を制御するように前記基板との間に絶縁膜を介して設けられた制御電極を有するM I S型トランジスタと、

前記M I S型トランジスタ上に層間絶縁膜を介して設けられ所定のパターンを有する金属配線と、

15 前記金属配線上に設けられ前記金属配線と同一の所定のパターンを有するハードマスクと、

を備え、

前記ハードマスクの膜厚は180nm以上230nm以下であり、

20 前記金属配線は前記M I S型トランジスタの制御電極と導通を有する、半導体装置。

20. 前記M I S型電界効果トランジスタはM O S型電界効果トランジスタである、請求項19に記載の半導体装置。

THIS PAGE BLANK (USPTO)

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

第 V.2. 欄の続き

請求の範囲 4, 6, 7, 10, 16

文献 1 の段落【0179】には、配線層としてタングステンも用い得ることが記載されている。また、文献 1 に記載された発明を、文献 2 に記載された銅合金配線層のエッチングに適用することは、当業者にとって自明のことである。

また、文献 1 の段落【1013】には、配線層の下にバリアメタル膜を形成することが記載されており、文献 1 の段落【0133】には、エッチングガスとして塩素を用いることが記載されている。

よって、請求の範囲 4, 6, 7, 10, 16 に記載された発明は、文献 1 及び文献 2 より進歩性を有しない。

請求の範囲 8, 9, 17

文献 2 には、金属膜とハードマスクとの間に反射防止膜を設けることが記載されているから、文献 1 に記載の発明において、リソグラフィ時の反射を防止するために、文献 2 に記載された反射防止膜の技術を適用することは、当業者にとって自明のことである。

よって、請求の範囲 8, 9, 17 に記載された発明は、文献 1 及び文献 2 より進歩性を有しない。

THIS PAGE BLANK (USPTO)